

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282590

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G06F 3/00

G06F 13/36

G06F 15/78

(21)Application number : 10-087315

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.03.1998

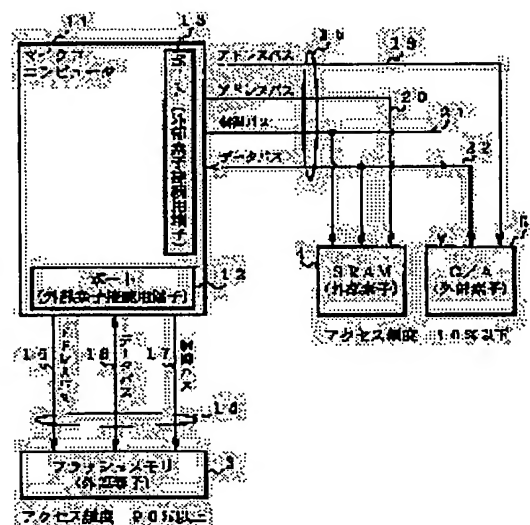
(72)Inventor : MATSUBARA TOSHIYUKI

## (54) PLURAL SYSTEM BUS CONTROL MICROCOMPUTER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent influence of the potential fluctuation to an outside element whose access frequency is high on an outside element whose access frequency is low, to prevent the increase of current consumption, and to prevent the influence of spurious radiating noise to the outside element whose access frequency is low.

**SOLUTION:** In this bus control microcomputer, two system outside buses 14 and 15 are connected with two sets of ports 12 and 13, and a flash memory 3 whose access frequency from a microcomputer 11 is high is connected with the outside bus 14, and an SRAM(static RAM) 4 and a G/A(gate array) 5 whose access frequency from the microcomputer 11 is low are connected with the outside bus 15. Moreover, access is performed only to one outside bus among the two system outside buses 14 and 15 according to a chip select signal, and even when the potential of a data bus 18 whose access frequency is high fluctuates, any influence on a data bus 22 whose access frequency is low can be prevented, and the increase of current consumption can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The microcomputer which has m sets (m is the integer of two or more arbitration) of terminals for external component connection, n external components to which data are inputted or outputted with the microcomputer (n is the integer of the arbitration more than m), It responds to the access frequency by the above-mentioned microcomputer of these n external components. It has the external bus which consists of the control bus which carried out the seed division of m sets of above-mentioned terminals for external component connection, and these n external components at m lines, and connected, a data bus, and an address bus. The above-mentioned microcomputer is two or more line bus control microcomputer characterized by intercepting the above-mentioned data bus of other networks while performing an entry of data or an output with the above-mentioned external component which chooses above-mentioned one of m lines, and is connected to the external bus.

[Claim 2] The microcomputer which has 2 sets of terminals for external component connection, and two or more external components to which data are inputted or outputted with the microcomputer, It responds to the access frequency by the above-mentioned microcomputer of the external component of these plurality. It has the external bus which consists of the control bus which carried out the seed division of 2 sets of above-mentioned terminals for external component connection, and the external component of these plurality at two lines, and connected, a data bus, and an address bus. The above-mentioned microcomputer is two or more line bus control microcomputer characterized by intercepting the above-mentioned data bus of the network of another side while performing an entry of data or an output with the above-mentioned external component which chooses one above-mentioned external bus of the two lines, and is connected to the external bus.

[Claim 3] A microcomputer is two or more line bus control microcomputer according to claim 2 characterized by having the address-data fixed part which makes immobilization the address data of the address bus of the network of another side.

[Claim 4] The microcomputer which has 2 sets of terminals for external component connection connected to two internal buses which consist of a control bus, a data bus, and an address bus, respectively, Two or more external components to which data are inputted or outputted with the microcomputer, It responds to the access frequency by the above-mentioned microcomputer of the external component of these plurality. It has the external bus which consists of the control bus which carried out the seed division of 2 sets of above-mentioned terminals for external component connection, and the external component of these plurality at two lines, and connected, a data bus, and an address bus. The above-mentioned microcomputer is two or more line bus control microcomputer characterized by performing an entry of data or an output with the above-mentioned external component which chooses one above-mentioned internal bus and above-mentioned external bus of the two lines, and is connected to the external bus.

---

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to two or more line bus control microcomputer which outputs and inputs data with two or more external components.

[0002]

[Description of the Prior Art] Drawing 6 is the block block diagram showing the conventional external bus control microcomputer, and is set to drawing. The port only for external component connection where 1 was prepared in the microcomputer (henceforth a microcomputer) and 2 was prepared in the microcomputer 1, The flash memory with which 3 was prepared in the exterior of a microcomputer 1 and the processing program with high access frequency etc. was remembered to be, It is the gate array (henceforth G/A) which 4 is prepared in the exterior of a microcomputer 1, and the static RAM for data temporary storages with low access frequency (henceforth SRAM) and 5 are prepared in the exterior of a microcomputer 1, and controls an external instrument etc. by the logical circuit. 6-10 are external buses which connect a port 2, a flash memory 3, SRAM4, and G/A5, and, as for an address bus and 9, 6-8 are [ a control bus and 10 ] data buses.

[0003] Next, actuation is explained. It is common to store a processing program in the flash memory 3 grade connected outside with the conventional microcomputer 1 corresponding to the case where a processing program is unstorable only by the capacity of built-in ROM, and to read the processing program through the port 2 and external bus only for external component connection. In drawing 6 , when performing writing of data, or read-out of data from a microcomputer 1 to a flash memory 3, SRAM4, and G/A5, a control signal is outputted to a flash memory 3, SRAM4, or G/A5 to access through a port 2 and a control bus 9 from a microcomputer 1, and predetermined data are further written through a data bus 10 by specifying the address through address buses 6-8.

[0004]

[Problem(s) to be Solved by the Invention] Since the conventional external bus control microcomputer was constituted as mentioned above, the connection with a microcomputer 1, a flash memory 3, SRAM4, and G/A5 had been accomplished by one external bus connected to the port 2 established in the microcomputer 1 and port 2 only for 1 set of external component connection. Therefore, the flash memory 3 the processing program with high access frequency etc. was remembered to be, When G/A5 which controls SRAM4 for data temporary storages with low access frequency, an external instrument, etc. are connected as an external component, From data being outputted and inputted by the data bus 10 whenever access frequency is accessed by the high flash memory 3 The potential of the data bus 10 was changed, SRAM4 with the low frequency hardly accessed and the connection terminal of G/A5 were also affected, and the increment in the consumed electric current was caused in the input-protection circuit established in the terminal. Moreover, although a spurious radiation noise will occur since the potential of the data bus 10 is changed, the technical problem of the spurious radiation noise also affecting SRAM4, and G/A5 occurred.

[0005] It aims at obtaining two or more line bus control microcomputer which prevents the

effect on the external [ which was made in order that this invention might solve the above technical problems, prevents the effect on an external component with the low access frequency by potential fluctuation of an external component with high access frequency, and prevents the increment in the consumed electric current ] component where the access frequency of a spurious radiation noise is [ both ] low.

[0006]

[Means for Solving the Problem] Two or more line bus control microcomputer concerning this invention It responds to the access frequency by the microcomputer which has m sets of terminals for external component connection, and the microcomputer of n external components. It has the external bus which carried out the seed division of m sets of terminals for external component connection, and the n external components at m lines, and was connected. A microcomputer While performing an entry of data or an output with the external component which chooses one of m lines and is connected to the external bus, the data bus of other networks is intercepted.

[0007] Two or more line bus control microcomputer concerning this invention It responds to the access frequency by the microcomputer which has 2 sets of terminals for external component connection, and the microcomputer of two or more external components. It has the external bus which carried out the seed division of 2 sets of terminals for external component connection, and two or more external components at two lines, and was connected. A microcomputer While performing an entry of data or an output with the external component which chooses one external bus of the two lines, and is connected to the external bus, the data bus of the network of another side is intercepted.

[0008] Two or more line bus control microcomputer concerning this invention equips a microcomputer with the address-data fixed part which makes immobilization the address data of the address bus of the network of another side.

[0009] Two or more line bus control microcomputer concerning this invention The microcomputer which has 2 sets of terminals for external component connection connected to two internal buses, respectively, It responds to the access frequency by the microcomputer of two or more external components. Having the external bus which carried out the seed division of 2 sets of terminals for external component connection, and two or more external components at two lines, and was connected, a microcomputer performs an entry of data or an output with the external component which chooses one internal bus and external bus of the two lines, and is connected to the external bus.

[0010]

[Embodiment of the Invention] Hereafter, one gestalt of implementation of this invention is explained.

Gestalt 1. drawing 1 of operation is the block block diagram showing two or more line bus control microcomputer by the gestalt 1 of implementation of this invention, and is set to drawing. 3 is prepared in the exterior of a microcomputer (henceforth a microcomputer) 11. The flash memory the processing program with high access frequency etc. was remembered to be (external component), 4 is prepared in the exterior of a microcomputer 11. The static RAM for data temporary storages with low access frequency (:external component hereafter called SRAM) and 5 are gate arrays (:external component hereafter called G/A) which are prepared in the exterior of a microcomputer 11 and control an external instrument etc. by the logical circuit. As mentioned above, it is the same configuration as drawing 6 shown as a conventional technique.

[0011] In a microcomputer 11, 12 and 13 are ports (terminal for external component connection), respectively. A seed division is carried out at two lines of the flash memory 3 with access frequency are the external bus to which 14 connects a port 12 and a flash memory 3, and the external bus to which 15 connects a port 13, SRAM4, and G/A5, and high in this way with a microcomputer 11, and SRAM4 with low access frequency, and G/A5, and external buses 14 and 15 are connected. Moreover, as for an address bus and 17, in an external bus 14, 16 is [ a control bus and 18 ] data buses. Furthermore, as for an address bus and 21, in an external bus 15, 19 and 20 are [ a control bus and 22 ] data buses.

[0012] Moreover, drawing 2 is the conceptual diagram showing the internal configuration of a

microcomputer, and, as for 11, the ports 12 and 13 where RAM and 34 are ports and showed a circumference function and 35 to this port 35 by drawing 1 are included [ ROM and 33 ] for CPU and 32 in drawing, as for a microcomputer and 31. 36 is an internal bus. In addition, the internal bus 36 of the microcomputer 11 in the gestalt 1 of this operation consists of one line.

Furthermore, drawing 3 is the block block diagram showing the external bus extension of a microcomputer, in drawing, 41 is a mode register and 42 is a function selection terminal.

[0013] Next, actuation is explained. As shown in drawing 2, CPU31 processes with the processing program built in ROM32, and a microcomputer 11 controls the circumference function 34. However, it is common to store a processing program in the flash memory 3 grade connected outside with a microcomputer 11 corresponding to the case where a processing program is unstorable only by the capacity of built-in ROM32, and to read the processing program through a port 35 and an external bus 14. As drawing 3 shows the configuration used when extending two external buses 14 and 15 as shown in drawing 1 and shows it to drawing 3 (a) As it is shown in drawing 3 (b) whether two external buses 14 and 15 are extended by writing in the value with which CPU31 was beforehand set as the mode register 41 through the internal bus 36 Two external buses 14 and 15 are extended by supplying the potential with which CPU31 was beforehand set as the function selection terminal 42 through the internal bus 36. By this extension, a part of port 35 can be used as ports 12 and 13 for external component connection, as shown in drawing 1.

[0014] Next, in drawing 1, a microcomputer 11 outputs a chip select signal to a flash memory 3 and SRAM4, and G/A5 through ports 12 and 13 and control buses 17 and 21 from CPU31, and performs an entry of data or an output with the external component which chooses one side of the two external buses 14 and 15, and is connected to the external bus according to access of the chip select signal. For example, the processing program of the specified address can be read through a data bus 18 by choosing an external bus 14 with a chip select signal, specifying the address through a port 12 and an address bus 16 from a microcomputer 11, and activating the read-out signal (RD signal) of a control bus 17 further, when reading the processing program built in the flash memory 3. Under the present circumstances, to an external bus 15, it is not outputting a chip select signal and carrying out floating (cutoff) of the data bus 22 of an external bus 15, and the data of the processing program inputted from an external bus 14 and an external bus 15 prevent colliding within a microcomputer 11. Moreover, when choosing an external bus 15 with a chip select signal and writing data in SRAM4 for example, data can be written in the specified address through a data bus 22 by specifying the address through a port 13 and an address bus 20 from a microcomputer 11, and activating the write-in signal (WR signal) of a control bus 21 further. Under the present circumstances, to an external bus 14, it is not outputting a chip select signal and not outputting data to the data bus 18 of an external bus 14 (cutoff), and prevents that data are written in a flash memory 3.

[0015] In addition, although the port for external component connection was prepared 2 sets, and two external buses 14 and 15 were connected to these 2 sets of ports, and the seed division of two or more external components which responded to access frequency with a microcomputer 11 was carried out and it connected with these two external buses 14 and 15 with the gestalt 1 of this operation The port for external component connection is prepared 3 or more sets, and three or more external buses are connected to these 3 or more sets of ports, and the seed division of two or more external components which responded to access frequency with a microcomputer 11 may be carried out, and you may connect with these three or more external buses.

[0016] As mentioned above, according to the gestalt 1 of this operation, two external buses 14 and 15 are connected to 2 sets of ports 12 and 13. Connect the flash memory 3 with high access frequency with a microcomputer 11 to the external bus 14, and low SRAM4, and G/A5 of access frequency with a microcomputer 11 is connected to the external bus 15. Furthermore, since it constituted so that only one external bus of the two external buses 14 and 15 might be accessed with a chip select signal Even if it is accessed by the flash memory 3 with high access frequency, data are outputted and inputted by the data bus 18 and it changes the potential of the data bus 18 The data bus 22 of SRAM4 with low access frequency, and G/A5 cannot be

affected, and the increment in the consumed electric current can be prevented. Moreover, the effect of SRAM4, and G/A5 on a spurious radiation noise by potential fluctuation of a data bus 18 can be prevented.

[0017] Gestalt 2. drawing 4 of operation is the block block diagram showing two or more line bus control microcomputer by the gestalt 2 of implementation of this invention, and the bus latch circuit (address-data fixed part) which outputs the address data which 51 and 53 outputted the address data in a microcomputer 11 to the address bus as it was, or latched address data, and fixed with the chip select signal to an address bus, and 52 and 54 are address bus ports included in ports 12 and 13 in drawing. Since the other same signs are the same configurations as the gestalt 1 of the above-mentioned implementation, the overlapping explanation is omitted.

[0018] Next, actuation is explained. With the gestalt 1 of the above-mentioned implementation, in order to prevent the collision of the data based on the data by the side of inactive of a chip select signal, and a write-in error, the data bus by the side of inactive of a chip select signal was intercepted, but although there is little change of data compared with a data bus, about the address bus, the address is outputted from both networks. So, with the gestalt 1 of this operation, when the bus latch circuits 51 and 53 are formed between the internal bus 36 in a microcomputer 11, and the address bus ports 52 and 54 of both networks and a chip select signal becomes active, the address data latched to the bus latch circuit of that network are released, and address data are made to be outputted to an external component from the inside of a microcomputer 11. Moreover, when a chip select signal becomes inactive, the address data of the network are latched by the bus latch circuit, and address data are made immobilization.

[0019] As mentioned above, since according to the gestalt 2 of this operation it constituted so that the address data of that network might be latched by the bus latch circuits 51 and 53 and address data might be made immobilization when a chip select signal became inactive, even if it changes the potential of address buses 16, 19, and 20, the address bus of other networks cannot be affected and the increment in the consumed electric current can be prevented. Moreover, the effect of the network on others of the spurious radiation noise by potential fluctuation of address buses 16, 19, and 20 can be prevented.

[0020] Gestalt 3. drawing 5 of operation is the conceptual diagram showing the internal configuration of the microcomputer by the gestalt 3 of implementation of this invention, in drawing, 36 and 61 are two internal buses which consist of a control bus, a data bus, and an address bus, and these two internal buses 36 and 61 are connected to external buses 15 and 14 through ports 13 and 12. Moreover, 62 is a BIU (BIU) which controls two internal buses 36 and 61. Since the other same signs are the same configurations as the gestalt 1 of the above-mentioned implementation, the overlapping explanation is omitted.

[0021] Next, actuation is explained. With the gestalt 3 of this operation, an increment and spurious radiation noise of the consumed electric current are prevented by making the internal bus of a microcomputer 11 into two internal buses 36 and 61. Usually, control of internal buses 36 and 61 is performed by BIU (BIU)62 inside a microcomputer 11. Inside the microcomputer 11, the dedicated bus for accessing ROM32 and RAM33, and a high speed and a bus for control which is different from a dedicated bus in control, such as circumference circuits other than memory and a port, are formed. Therefore, when a microcomputer 11 connected the memory which built in the processing program, it will connect with the bus for control and there was a limitation in improvement in the speed of access with the memory which built in the processing program. Therefore, improvement in the speed of access with the flash memory 3 which built in the processing program is also easy by dividing an internal bus into two internal buses 36 and 61, connecting to a flash memory 3 the internal bus 61 which is a dedicated bus through a port 12 and an external bus 14, and connecting to SRAM4, and G/A5 the internal bus 36 which is a bus for control through a port 13 and an external bus 15.

[0022] As mentioned above, since according to the gestalt 3 of this operation it constituted so that the internal bus of a microcomputer 11 might also be made into two internal buses 36 and 61, an increment and spurious radiation noise of the consumed electric current can be prevented further. Moreover, improvement in the speed of access with the flash memory 3 which built in the processing program is also easy by connecting to a flash memory 3 the internal bus 61 which

is a dedicated bus through a port 12 and an external bus 14, and connecting to SRAM4, and G/A5 the internal bus 36 which is a bus for control through a port 13 and an external bus 15. Furthermore, although the data bus which is not accessed was intercepted with the gestalt 1 of the above-mentioned implementation in order to prevent that the value of a data bus collides in the microcomputer 11 interior, the control can be made unnecessary by having divided the internal bus into two lines.

[0023]

[Effect of the Invention] As mentioned above, while performing an entry of data or an output with the external component connected to the selected external bus according to this invention, that potential fluctuation cannot affect the data bus of other networks, and the increment in the consumed electric current can be prevented. Moreover, it is effective in the ability to prevent the effect of other external components on the spurious radiation noise by potential fluctuation.

[0024] While according to this invention it is chosen and an entry of data or an output with the external component connected to an external bus is performed, that potential fluctuation cannot affect the data bus of the network of another side, and the increment in the consumed electric current can be prevented. Moreover, it is effective in the ability to prevent the effect of other external components on the spurious radiation noise by potential fluctuation.

[0025] According to this invention, even if it changes the potential of one address bus, the address bus of another side cannot be affected and the increment in the consumed electric current can be prevented. Moreover, it is effective in the ability to prevent the effect of the network on another side of the spurious radiation noise by potential fluctuation of one address bus.

[0026] According to this invention, since the internal bus of a microcomputer was also made into two lines, an increment and spurious radiation noise of the consumed electric current can be prevented further. Moreover, there is effectiveness which can make unnecessary cutoff control of the data bus for preventing that the value of a data bus collides inside a microcomputer.

---

[Translation done.]



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block block diagram showing two or more line bus control microcomputer by the gestalt 1 of implementation of this invention.

**[Drawing 2]** It is the conceptual diagram showing the internal configuration of a microcomputer.

**[Drawing 3]** It is the block block diagram showing the external bus extension of a microcomputer.

**[Drawing 4]** It is the block block diagram showing two or more line bus control microcomputer by the gestalt 2 of implementation of this invention.

**[Drawing 5]** It is the conceptual diagram showing the internal configuration of the microcomputer by the gestalt 3 of implementation of this invention.

**[Drawing 6]** It is the block block diagram showing the conventional external bus control microcomputer.

**[Description of Notations]**

3 A flash memory (external component), 4 SRAM (external component), 5 G/A (external component), 11 12 A microcomputer, 13 14 A port (terminal for external component connection), 15 An external bus, 16, 19, 20 17 An address bus, 21 18 A control bus, 22 36 A data bus, 61 An internal bus, 51, 53 bus latch circuit (address-data fixed part).

---

**[Translation done.]**

(11)特許出願公開番号

特開平11-282590

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl. <sup>*</sup>		識別記号	F I		
G 0 6 F	3/00		G 0 6 F	3/00	F
	13/36	5 3 0		13/36	5 3 0 B
	15/78	5 1 0		15/78	5 1 0 D

審査請求 未請求 請求項の数4 OL (全 7 頁)

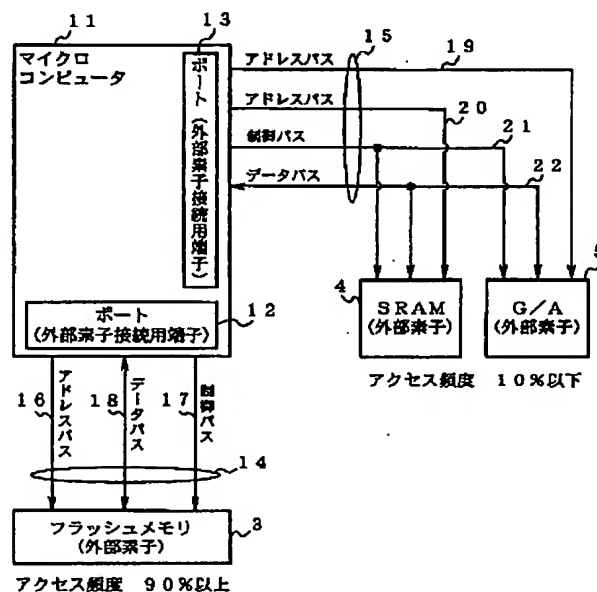
(21)出願番号	特願平10-87315	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年(1998)3月31日	(72)発明者	松原 利之 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 複数システムバス制御マイクロコンピュータ

(57) 【要約】

【課題】 データバス10の電位が変動し、消費電流の増加を招いていた。

【解決手段】 2組のポート12, 13に2系統の外部バス14, 15を接続し、その外部バス14にマイコン11によるアクセス頻度の高いフラッシュメモリ3を接続し、外部バス15にマイコン11によるアクセス頻度の低いSRAM4およびG/A5を接続して、さらに、チップセレクト信号により2系統の外部バス14, 15のうちの一方の外部バスのみにアクセスするように構成し、アクセス頻度の高いデータバス18の電位が変動しても、アクセス頻度の低いデータバス22に影響を与えることはなく、消費電流の増加を防止することができる。



14, 15: 外部バス

## 【特許請求の範囲】

【請求項 1】 m 組 (m は 2 以上の任意の整数) の外部素子接続用端子を有するマイクロコンピュータと、そのマイクロコンピュータによりデータが入力または出力される n 個 (n は m 以上の任意の整数) の外部素子と、それら n 個の外部素子の上記マイクロコンピュータによるアクセス頻度に応じて、m 組の上記外部素子接続用端子とそれら n 個の外部素子とを m 系統に種分けして接続した制御バス、データバスおよびアドレスバスから成る外部バスとを備え、上記マイクロコンピュータは、m 系統のうちの 1 つの上記外部バスを選択してその外部バスに接続される上記外部素子とのデータの入力または出力を行うと共に、その他の系統の上記データバスを遮断することを特徴とする複数系統バス制御マイクロコンピュータ。

【請求項 2】 2 組の外部素子接続用端子を有するマイクロコンピュータと、そのマイクロコンピュータによりデータが入力または出力される複数の外部素子と、それら複数の外部素子の上記マイクロコンピュータによるアクセス頻度に応じて、2 組の上記外部素子接続用端子とそれら複数の外部素子とを 2 系統に種分けして接続した制御バス、データバスおよびアドレスバスから成る外部バスとを備え、上記マイクロコンピュータは、2 系統のうちの一方の上記外部バスを選択してその外部バスに接続される上記外部素子とのデータの入力または出力を行うと共に、他方の系統の上記データバスを遮断することを特徴とする複数系統バス制御マイクロコンピュータ。

【請求項 3】 マイクロコンピュータは、他方の系統のアドレスバスのアドレスデータを固定にするアドレスデータ固定部を備えたことを特徴とする請求項 2 記載の複数系統バス制御マイクロコンピュータ。

【請求項 4】 制御バス、データバスおよびアドレスバスから成る 2 系統の内部バスにそれぞれ接続された 2 組の外部素子接続用端子を有するマイクロコンピュータと、そのマイクロコンピュータによりデータが入力または出力される複数の外部素子と、それら複数の外部素子の上記マイクロコンピュータによるアクセス頻度に応じて、2 組の上記外部素子接続用端子とそれら複数の外部素子とを 2 系統に種分けして接続した制御バス、データバスおよびアドレスバスから成る外部バスとを備え、上記マイクロコンピュータは、2 系統のうちの一方の上記内部バスおよび上記外部バスを選択してその外部バスに接続される上記外部素子とのデータの入力または出力を行うことを特徴とする複数系統バス制御マイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、複数の外部素子とのデータの入出力を行う複数系統バス制御マイクロコンピュータに関するものである。

## 【0002】

【従来の技術】 図 6 は従来の外部バス制御マイクロコンピュータを示すブロック構成図であり、図において、1 はマイクロコンピュータ (以下、マイコンと言う)、2 はマイコン 1 に設けられた外部素子接続専用のポート、3 はマイコン 1 の外部に設けられ、アクセス頻度が高い処理プログラム等が記憶されたフラッシュメモリ、4 はマイコン 1 の外部に設けられ、アクセス頻度が低いデータ一時格納用のスタティック RAM (以下、SRAM と言う)、5 はマイコン 1 の外部に設けられ、論理回路により外部機器等を制御するゲートアレイ (以下、G/A と言う) である。6~10 はポート 2 とフラッシュメモリ 3、SRAM 4 および G/A 5 とを接続する外部バスであり、6~8 はアドレスバス、9 は制御バス、10 はデータバスである。

【0003】 次に動作について説明する。従来のマイコン 1 では、内蔵された ROM の容量だけでは処理プログラムが格納できない場合に対応して、処理プログラムを外部に接続されたフラッシュメモリ 3 等に格納して、外部素子接続専用のポート 2 および外部バスを介してその処理プログラムを読み出すのが一般的である。図 6 において、マイコン 1 からフラッシュメモリ 3、SRAM 4 および G/A 5 に対してデータの書き込み、または、データの読み出しを行う場合は、マイコン 1 からポート 2 および制御バス 9 を介してアクセスしたいフラッシュメモリ 3、SRAM 4 または G/A 5 に制御信号を出力し、さらに、アドレスバス 6~8 を介してアドレスを指定することにより、データバス 10 を介して所定のデータを読み書きする。

## 【0004】

【発明が解決しようとする課題】 従来の外部バス制御マイクロコンピュータは以上のように構成されているので、マイコン 1 とフラッシュメモリ 3、SRAM 4 および G/A 5 との接続は、マイコン 1 に設けられた 1 組の外部素子接続専用のポート 2 と、そのポート 2 に接続された 1 系統の外部バスによって成されていた。従って、アクセス頻度が高い処理プログラム等が記憶されたフラッシュメモリ 3 と、アクセス頻度が低いデータ一時格納用の SRAM 4、および外部機器等を制御する G/A 5 とを外部素子として接続した場合、アクセス頻度が高いフラッシュメモリ 3 にアクセスされる度に、データバス 10 にデータが入出力されることから、そのデータバス 10 の電位が変動し、ほとんどアクセスされない頻度が低い SRAM 4 および G/A 5 の接続端子にも影響を与え、端子に設けられた入力保護回路に於いて消費電流の増加を招いていた。また、そのデータバス 10 の電位が変動するために不要輻射ノイズが発生してしまうが、その不要輻射ノイズが SRAM 4 および G/A 5 にも影響を与えてしまうなどの課題があった。

【0005】 この発明は上記のような課題を解決するた

めになされたもので、アクセス頻度の高い外部素子の電位変動によるアクセス頻度の低い外部素子への影響を防止し、消費電流の増加を防止する共に、不要輻射ノイズのアクセス頻度の低い外部素子への影響を防止する複数系統バス制御マイクロコンピュータを得ることを目的とする。

#### 【0006】

【課題を解決するための手段】この発明に係る複数系統バス制御マイクロコンピュータは、m組の外部素子接続用端子を有するマイクロコンピュータと、n個の外部素子のマイクロコンピュータによるアクセス頻度に応じて、m組の外部素子接続用端子とn個の外部素子とをm系統に種分けして接続した外部バスとを備え、マイクロコンピュータは、m系統のうちの1つの外部バスを選択してその外部バスに接続される外部素子とのデータの入力または出力を行うと共に、その他の系統のデータバスを遮断するものである。

【0007】この発明に係る複数系統バス制御マイクロコンピュータは、2組の外部素子接続用端子を有するマイクロコンピュータと、複数の外部素子のマイクロコンピュータによるアクセス頻度に応じて、2組の外部素子接続用端子と複数の外部素子とを2系統に種分けして接続した外部バスとを備え、マイクロコンピュータは、2系統のうちの一方の外部バスを選択してその外部バスに接続される外部素子とのデータの入力または出力を行うと共に、他方の系統のデータバスを遮断するものである。

【0008】この発明に係る複数系統バス制御マイクロコンピュータは、マイクロコンピュータに、他方の系統のアドレスバスのアドレスデータを固定にするアドレスデータ固定部を備えたものである。

【0009】この発明に係る複数系統バス制御マイクロコンピュータは、2系統の内部バスにそれぞれ接続された2組の外部素子接続用端子を有するマイクロコンピュータと、複数の外部素子のマイクロコンピュータによるアクセス頻度に応じて、2組の外部素子接続用端子と複数の外部素子とを2系統に種分けして接続した外部バスとを備え、マイクロコンピュータは、2系統のうちの一方の内部バスおよび外部バスを選択してその外部バスに接続される外部素子とのデータの入力または出力を行うものである。

#### 【0010】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による複数系統バス制御マイクロコンピュータを示すブロック構成図であり、図において、3はマイクロコンピュータ

(以下、マイコンと言う) 11の外部に設けられ、アクセス頻度が高い処理プログラム等が記憶されたフラッシュメモリ(外部素子)、4はマイコン11の外部に設け

られ、アクセス頻度が低いデータ一時格納用のスタティックRAM(以下、SRAMと言う:外部素子)、5はマイコン11の外部に設けられ、論理回路により外部機器等を制御するゲートアレイ(以下、G/Aと言う:外部素子)である。以上、従来技術として示した図6と同一構成である。

【0011】マイコン11において、12, 13はそれぞれポート(外部素子接続用端子)である。14はポート12とフラッシュメモリ3とを接続する外部バス、15はポート13とSRAM4およびG/A5とを接続する外部バスであり、このようにマイコン11によるアクセス頻度が高いフラッシュメモリ3と、アクセス頻度が低いSRAM4およびG/A5との2系統に種分けして外部バス14, 15が接続されている。また、外部バス14において、16はアドレスバス、17は制御バス、18はデータバスである。さらに、外部バス15において、19, 20はアドレスバス、21は制御バス、22はデータバスである。

【0012】また、図2はマイコンの内部構成を示す概念図であり、図において、11はマイコン、31はCPU、32はROM、33はRAM、34は周辺機能、35はポートであり、このポート35には、図1で示したポート12, 13が含まれている。36は内部バスである。尚、この実施の形態1におけるマイコン11の内部バス36は、1系統で構成されているものである。さらに、図3はマイコンの外部バス拡張機能を示すブロック構成図であり、図において、41はモードレジスタ、42は機能選択端子である。

【0013】次に動作について説明する。図2に示したように、マイコン11はROM32に内蔵された処理プログラムによりCPU31が処理を行い、周辺機能34の制御を行う。しかしながら、マイコン11では、内蔵されたROM32の容量だけでは処理プログラムが格納できない場合に対応して、処理プログラムを外部に接続されたフラッシュメモリ3等に格納して、ポート35および外部バス14を介してその処理プログラムを読み出すのが一般的である。図3は図1に示したような2系統の外部バス14, 15を拡張する時に用いられる構成を示したものであり、図3(a)に示すように、CPU31が内部バス36を介してモードレジスタ41に予め設定された値を書き込むことにより2系統の外部バス14, 15を拡張するか、図3(b)に示すように、CPU31が内部バス36を介して機能選択端子42に予め設定された電位を供給することにより2系統の外部バス14, 15を拡張する。この拡張機能により、ポート35の一部は、図1に示したように、外部素子接続用のポート12, 13として用いることができる。

【0014】次に、図1において、マイコン11は、CPU31からポート12, 13および制御バス17, 21を介してフラッシュメモリ3およびSRAM4, G/A

A 5にチップセレクト信号を出力し、そのチップセレクト信号のアクセスに応じて、2系統の外部バス14、15のうちの一方を選択してその外部バスに接続される外部素子とのデータの入力または出力を行う。例えば、チップセレクト信号により外部バス14を選択し、フラッシュメモリ3に内蔵された処理プログラムを読み出す場合は、マイコン11からポート12およびアドレスバス16を介してアドレスを指定し、さらに、制御バス17の読み出し信号(RD信号)をアクティブにすることにより、指定したアドレスの処理プログラムをデータバス18を介して読み出すことができる。この際、外部バス15に対しては、チップセレクト信号を出力しないこと、外部バス15のデータバス22をフローティング状態(遮断)することで、外部バス14から入力される処理プログラムと、外部バス15とのデータがマイコン11内で衝突してしまうことを防止する。また、例えば、チップセレクト信号により外部バス15を選択し、SRAM4にデータを書き込む場合は、マイコン11からポート13およびアドレスバス20を介してアドレスを指定し、さらに、制御バス21の書き込み信号(WR信号)をアクティブにすることにより、指定したアドレスにデータをデータバス22を介して書き込むことができる。この際、外部バス14に対しては、チップセレクト信号を出力しないこと、外部バス14のデータバス18にデータを出力しないこと(遮断)で、フラッシュメモリ3にデータが書き込まれることを防止する。

【0015】尚、この実施の形態1では、外部素子接続用のポートを2組設け、それら2組のポートに2系統の外部バス14、15を接続し、それら2系統の外部バス14、15にマイコン11によるアクセス頻度に応じた複数の外部素子を種分けして接続したが、外部素子接続用のポートを3組以上設け、それら3組以上のポートに3系統以上の外部バスを接続し、それら3系統以上の外部バスにマイコン11によるアクセス頻度に応じた複数の外部素子を種分けして接続しても良い。

【0016】以上のように、この実施の形態1によれば、2組のポート12、13に2系統の外部バス14、15を接続し、その外部バス14にマイコン11によるアクセス頻度の高いフラッシュメモリ3を接続し、その外部バス15にマイコン11によるアクセス頻度の低いSRAM4およびG/A5を接続して、さらに、チップセレクト信号により2系統の外部バス14、15のうちの一方の外部バスのみにアクセスするように構成したので、アクセス頻度の高いフラッシュメモリ3にアクセスされてデータバス18にデータが入出力され、そのデータバス18の電位が変動しても、アクセス頻度の低いSRAM4およびG/A5のデータバス22に影響を与えることはなく、消費電流の増加を防止することができる。また、データバス18の電位変動による不要放射ノイズのSRAM4およびG/A5への影響を防止するこ

とができる。

【0017】実施の形態2. 図4はこの発明の実施の形態2による複数系統バス制御マイクロコンピュータを示すブロック構成図であり、図において、51、53はチップセレクト信号により、マイコン11内のアドレスデータをそのままアドレスバスに出力したり、アドレスデータをラッチして固定したアドレスデータをアドレスバスに出力するバスラッチ回路(アドレスデータ固定部)、52、54はポート12、13に含まれるアドレスバスポートである。その他の同一符号は上記実施の形態1と同一構成であるので、その重複する説明を省略する。

【0018】次に動作について説明する。上記実施の形態1では、チップセレクト信号の非アクティブ側のデータによるデータの衝突、および書き込み誤りを防ぐために、チップセレクト信号の非アクティブ側のデータバスを遮断したが、データバスに比べてデータの変化は少ないもののアドレスバスについては両系統からアドレスが出力されている。そこで、この実施の形態1では、マイコン11内の内部バス36と両系統のアドレスバスポート52、54との間に、バスラッチ回路51、53を設け、チップセレクト信号がアクティブになった際に、その系統のバスラッチ回路にラッチされたアドレスデータを解放し、マイコン11内から外部素子にアドレスデータが出力されるようにする。また、チップセレクト信号が非アクティブになった際に、その系統のアドレスデータをバスラッチ回路によりラッチしアドレスデータを固定にする。

【0019】以上のように、この実施の形態2によれば、チップセレクト信号が非アクティブになった際に、その系統のアドレスデータをバスラッチ回路51、53によりラッチしアドレスデータを固定するように構成したので、アドレスバス16、19、20の電位が変動しても、他の系統のアドレスバスに影響を与えることはなく、消費電流の増加を防止することができる。また、アドレスバス16、19、20の電位変動による不要放射ノイズの他の系統への影響を防止することができる。

【0020】実施の形態3. 図5はこの発明の実施の形態3によるマイコンの内部構成を示す概念図であり、図において、36、61は制御バス、データバスおよびアドレスバスから成る2系統の内部バスであり、これら2系統の内部バス36、61は、ポート13、12を介して、外部バス15、14に接続されている。また、62は2系統の内部バス36、61を制御するバスインターフェースユニット(BIU)である。その他の同一符号は上記実施の形態1と同一構成であるので、その重複する説明を省略する。

【0021】次に動作について説明する。この実施の形態3では、マイコン11の内部バスも2系統の内部バス36、61とすることにより、消費電流の増加および不

10

20

30

40

50

要輻射ノイズを防止するものである。通常、マイコン 11 の内部では、内部バス 36、61 の制御は、BIU (バスインタフェースユニット) 62 によって行われる。マイコン 11 の内部では、ROM 32 および RAM 33 と高速にアクセスするための専用バスと、メモリ以外の周辺回路やポート等の制御用に専用バスとは異なる制御用バスが設けられている。そのためマイコン 11 が処理プログラムを内蔵したメモリを接続した際には、制御用バスに接続されることになり、処理プログラムを内蔵したメモリとのアクセスの高速化には限界があった。従って、内部バスを 2 系統の内部バス 36、61 に分割し、専用バスである内部バス 61 を、ポート 12 および外部バス 14 を介してフラッシュメモリ 3 に接続し、制御用バスである内部バス 36 を、ポート 13 および外部バス 15 を介して SRAM 4 および G/A 5 に接続することにより、処理プログラムを内蔵したフラッシュメモリ 3 とのアクセスの高速化も容易である。

【0022】以上のように、この実施の形態 3 によれば、マイコン 11 の内部バスも 2 系統の内部バス 36、61 とするように構成したので、さらに、消費電流の増加および不要輻射ノイズを防止することができる。また、専用バスである内部バス 61 を、ポート 12 および外部バス 14 を介してフラッシュメモリ 3 に接続し、制御用バスである内部バス 36 を、ポート 13 および外部バス 15 を介して SRAM 4 および G/A 5 に接続することにより、処理プログラムを内蔵したフラッシュメモリ 3 とのアクセスの高速化も容易である。さらに、上記実施の形態 1 では、マイコン 11 内部でデータバスの値が衝突してしまうことを防止するために、アクセスしないデータバスを遮断したが、内部バスを 2 系統に分割したことにより、その制御を不要にすることができる。

#### 【0023】

【発明の効果】以上のように、この発明によれば、選択された外部バスに接続される外部素子とのデータの入力または出力を行っているときに、その電位変動がその他の系統のデータバスに影響を与えることはなく、消費電流の増加を防止することができる。また、電位変動による不要輻射ノイズの他の外部素子への影響を防止することができる効果がある。

【0024】この発明によれば、選択された一方の外部

バスに接続される外部素子とのデータの入力または出力を行っているときに、その電位変動が他方の系統のデータバスに影響を与えることはなく、消費電流の増加を防止することができる。また、電位変動による不要輻射ノイズの他の外部素子への影響を防止することができる効果がある。

【0025】この発明によれば、一方のアドレスバスの電位が変動しても、他方のアドレスバスに影響を与えることはなく、消費電流の増加を防止することができる。また、一方のアドレスバスの電位変動による不要輻射ノイズの他方の系統への影響を防止することができる効果がある。

【0026】この発明によれば、マイクロコンピュータの内部バスも 2 系統にしたので、さらに、消費電流の増加および不要輻射ノイズを防止することができる。また、マイクロコンピュータ内部でデータバスの値が衝突してしまうことを防止するためのデータバスの遮断制御を不要にすることができる効果がある。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による複数系統バス制御マイクロコンピュータを示すブロック構成図である。

【図 2】 マイコンの内部構成を示す概念図である。

【図 3】 マイコンの外部バス拡張機能を示すブロック構成図である。

【図 4】 この発明の実施の形態 2 による複数系統バス制御マイクロコンピュータを示すブロック構成図である。

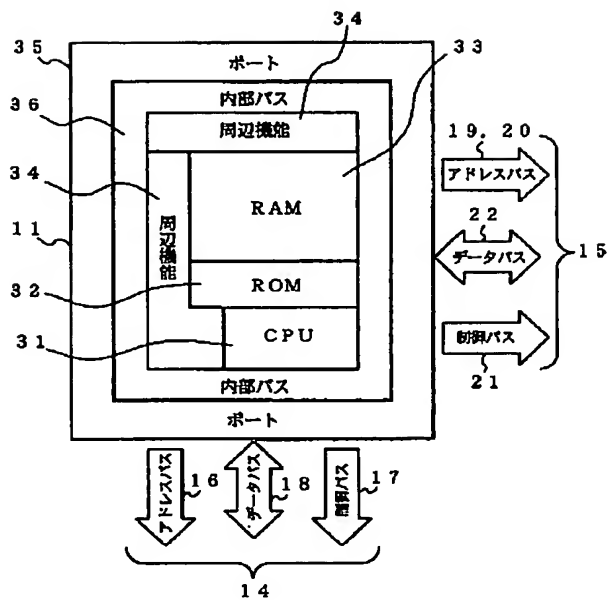
【図 5】 この発明の実施の形態 3 によるマイコンの内部構成を示す概念図である。

【図 6】 従来の外部バス制御マイクロコンピュータを示すブロック構成図である。

#### 【符号の説明】

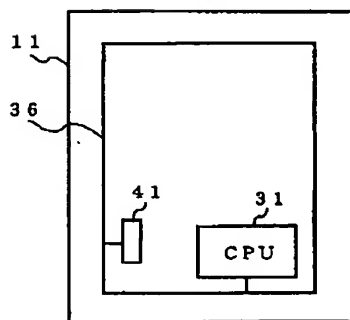
3 フラッシュメモリ (外部素子)、4 SRAM (外部素子)、5 G/A (外部素子)、11 マイクロコンピュータ、12、13 ポート (外部素子接続用端子)、14、15 外部バス、16、19、20 アドレスバス、17、21 制御バス、18、22 データバス、36、61 内部バス、51、53 バスラッチ回路 (アドレスデータ固定部)。

【图 2】

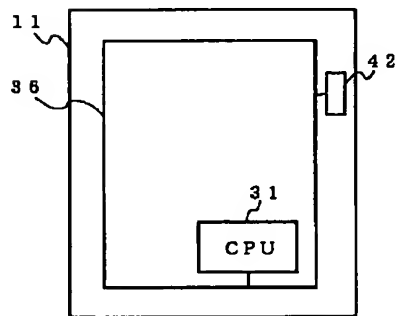


【図 3】

(a)

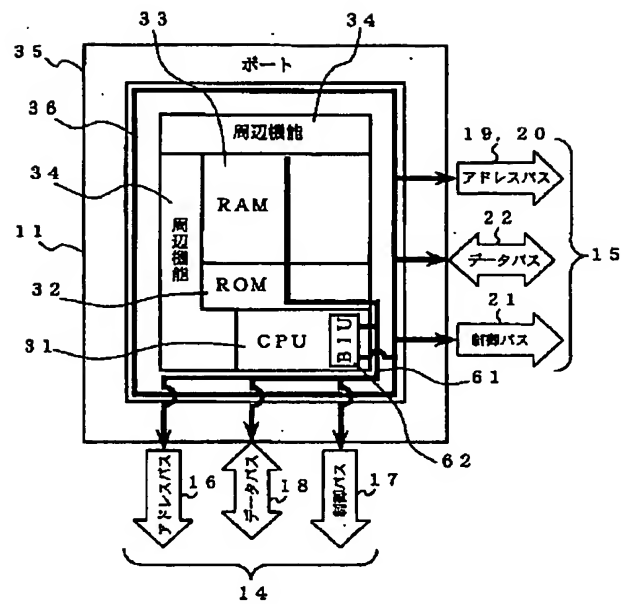


(b)



### 36: 内部バス

【図5】



61: 内部バス

【図6】

